

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특1998-063789
H01L 29/786 (43) 공개일자 1998년10월07일

(21) 출원번호 특1997-065904
(22) 출원일자 1997년12월04일
(30) 우선권주장 96-344513 1996년12월10일 일본(JP)
(71) 출원인 가시오게산기가부시키가이샤 가시오가즈오
일본국 도쿄도 신주구구 니시신주구 2-6-1
(72) 발명자 이시이히로미츠
일본국 도쿄도 하무라시 고노카미 1-13-2-202
도사카히사오
일본국 도쿄도 하치오지시 뱃쇼 1-32-6-502
(74) 대리인 손은진

심사청구 : 있음

(54) 트랜지스터어레이의 제조 방법

요약

본 발명은 트랜지스터어레이의 제조 방법에 관한 것으로, 게이트금속막으로 이루어지는 게이트바탕패드의 위에 게이트절연막, 실리콘 막 및 질화실리콘막을 적층하여, 질화실리콘막의 패터닝에 대해서 게이트바탕패드 위에도 보호절연막으로서 남도록 에칭을 실행함으로써 에칭액이 실리콘막의 막결함을 통해 게이트바탕패드를 침식하는 것을 방지할 수 있으며, 또한 게이트바탕패드 위쪽에 보호절연막 및 실리콘막을 패터닝한 보호반도체층을 형성하여 등으로서, ITO로 이루어지는 화소전극을 패터닝할 때에도 게이트바탕패드를 에칭액으로부터 보호하는 작용을 갖고, 이 때문에 게이트바탕패드에 단선이 발생하는 것을 방지할 수 있는 것을 특징으로 한다.

도표도

도1

영세서

도면의 간단한 설명

도 1은 본 발명에 관련되는 TFT어레이의 제조 방법에 있어서 게이트전극 및 게이트바탕패드를 위한 게이트금속막을 형성하는 공정을 나타내는 단면도.

도 2는 게이트금속막으로부터 양극산화막을 형성하는 공정을 나타내는 단면도.

도 3은 게이트바탕패드의 위쪽에 보호절연층을 형성하는 공정을 나타내는 단면도.

도 4는 게이트바탕패드의 위쪽에 보호반도체층을 형성하는 공정을 나타내는 단면도.

도 5는 도 4의 공정 대신에 게이트바탕패드의 위쪽에 보호반도체층, 보호절연층 및 보호불순물반도체층을 형성하는 공정을 나타내는 단면도.

도 6은 화소전극을 형성하는 공정을 나타내는 단면도.

도 7a는 보호반도체층 및 보호절연층보다 넓은 개구부를 갖는 레지스트 마스크를 형성하는 공정을 나타내는 도면.

도 7b는 도 7a의 K-K선 단면도.

도 8은 게이트절연막을 에칭하는 공정을 나타내는 단면도.

도 9는 게이트패드를 형성하는 공정을 나타내는 단면도.

도 10a는 보호막을 형성하는 공정을 나타내는 도면.

도 10b는 도 10a의 L-L선 단면도.

도 11은 본 발명의 박막트랜지스터어레이를 적용한 액정표시장치의 단면도.

도 12는 보호반도체층 및 보호절연층보다 좁은 개구부를 갖는 레지스트 마스크를 형성하는 비교 예를 나타내는 단면도.

도 13은 도 12 공정보다 전기적 도통성이 나쁘게 된 게이트패드를 나타내는 도면.

도 14는 본 발명에 관련되는 다른 TFT어레이의 제조 방법에 있어서 보호 반도체층 및 보호불순물반도체층을 형성하는 공정을 나타내는 단면도.

도 15는 화소전극을 형성하는 공정을 나타내는 단면도.

도 16은 보호반도체층 및 보호불순물반도체층보다 넓은 개구부를 갖는 레지스트마스크를 형성하는 공정을 나타내는 도면.

도 17은 종래의 TFT어레이의 제조 방법에 있어서 게이트전극 및 게이트바탕패드를 위한 게이트금속막을 형성하는 공정을 나타내는 단면도.

도 18은 게이트금속막으로부터 양극산화막을 형성하는 공정을 나타내는 단면도.

도 19는 불로킹층을 형성하는 공정을 나타내는 단면도.

도 20은 반도체층을 형성하는 공정을 나타내는 단면도.

도 21은 화소전극을 형성하는 공정을 나타내는 단면도.

도 22는 게이트절연막을 에칭하는 공정을 나타내는 단면도.

도 23은 게이트패드 및 소스·드레인전극을 형성하는 공정을 나타내는 단면도.

도 24는 보호막을 형성하는 공정을 나타내는 단면도.

도 25는 게이트패드부에 발생한 공동을 나타내는 단면도.

※도면의 주요 부분에 대한 부호의 설명

101: 기판	107: 게이트전극
109: 게이트바탕패드	108, 110, 115: 절연체
116: 연속하는 진성(intrinsic)비결정실리콘막	
117: 연속하는 절연막	120, 123S, 1230: 반도체부
120: 비결정실리콘층	121, 126, 127, 173: 보호마스크
123S, 1230: n+비결정실리콘층	137S: 소스 전극
1370: 드레인전극	138: 게이트패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트랜지스터어레이의 제조 방법에 관한 것이다.

종래의 트랜지스터로서 박막트랜지스터(이하 TFT)가 이용되고 있다. 이 TFT는 액티브구동 액정표시장치의 스위칭소자로서 많이 이용되고 있다. TFT어레이의 제조 방법으로서 도 17~도 25에 나타내는 바와 같은 것이 알려져 있다. 이 방법은 역스태거형의 TFT의 제조에 관련되는 것이다. 우선 도 17은 유리기판(201)의 표면에 알루미늄(Al)으로 이루어지는 게이트전극(202) 및 게이트전극(202)에 접속된 게이트라인의 단자부인 게이트패드부(203)가 패턴 형성된 상태를 나타내고 있다. 그리고, 게이트패드부(203)의 외면에 접촉영역(203A)에만 레지스트(204)를 패턴 형성한다. 이 레지스트(204)는 게이트패드부(203)의 주연부가 노출되도록 외면의 접촉영역(203A)에 얹히도록 패턴닝되어 있다. 이 상태에서 양극산화처리를 실행하여 도 18에 나타내는 바와 같이 노출된 게이트전극(202)의 알루미늄막의 표면에 양극산화막(205)을 형성하는 동시에 게이트패드부(203)의 주연부에 양극산화막(206)을 형성한다. 그 후 도 19에 나타내는 바와 같이 예를 들면 질화실리콘으로 이루어지는 게이트절연막(207), 비결정실리콘으로 이루어지는 실리콘막(208), 질화실리콘막(209)을 순차적으로 성막한다. 그 후 게이트전극(202) 위쪽의 질화실리콘막(209) 위에 레지스트마스크(210)를 형성하고, 완충플루오로화소산(B-HF)을 이용하여 습식에칭하여 불로킹층(209A)을 형성한다.

그 후 예를 들면 불순물을 함유하는 n+비결정실리콘막을 퇴적시켜, 도 20에 나타내는 바와 같이 이 n+비결정실리콘막이 불로킹층(209) 위에서 드레인층과 소스층으로 분리되도록 에칭을 실행하고, 불순물 반도체층(Islands)(211A, 211B)을 형성하고 그 위에 에칭하여 반도체층(Island)(208A)을 형성한다. 이 에칭에 의한 반도체층(Island)(208A)은 섬상으로 형성된다. 다음으로 도 21에 나타내는 바와 같이 ITO(indium tin oxide)로 이루어지는 화소전극(212)을 레지스트마스크(220)에 의해 패턴형성한다. 이 ITO의 패턴닝에서는 염산계의 에칭액을 이용하여 습식에칭을 실행한다. 더욱이, 이 상태에서 도 22에 나타내는 바와 같이 접촉홀(213A)을 갖는 레지스트마스크(213)를 패턴닝한 후, 게다가 에칭을 실행하여 게이트패드부(203)의 외면의 게이트절연막(207)에 접촉홀(207A)을 형성하여 게이트패드부(203)의 접촉영역을 노출시킨다.

다음에 레지스트마스크(213)를 박리한 후 소스·드레인금속막을 퇴적한다. 그 후 소정 패턴의 레지스트마스크(도시 생략)를 형성하고, 이 레지스트마스크를 마스크로서 소스·드레인금속막을 패턴닝하여 도 23에 나타내는 바와 같은 소스전극(215), 드레인전극(214) 및 게이트패드금속막(216)을 형성한다.

그리고, 도 24에 나타내는 바와 같이 예를 들면 질화실리콘으로 이루어지는 보호막(217)을 형성함으로써 종래의 TFT의 제조 공정이 대략 완료한다.

이와 같은 TFT어레이에서는 게이트라인이나 드레인라인 등을 외부배선 등을 접속하기 위한 단자부(패드부)를 형성하고 있다. 블로킹층(209A)을 구성하는 질화실리콘의 에칭액에는 완충플루오로화수소산이나 열 인산(hot phosphoric acid) 등이 있는데 이들은 함께 알루미늄이나 알루미늄 합금을 쉽게 침식하는 성질을 갖는다. 도 19에 나타내는 공정에서 질화실리콘막(209)의 습식에칭 때에 도 25에 나타내는 바와 같은 핀홀(218)이 바탕의 실리콘막(208)에 발생하면 실리콘막(208)의 막두께가 얇아지는(예를 들면 1000Å 미만) 경우에는 에칭액이 게이트절연막(207)까지 도달하고, 게이트절연막(207)에 핀홀을 발생시키기 쉽게 된다. 게이트패드부(203) 원면의 접촉영역(203A)은 게이트라인부나 게이트전극 부분과 다른 양극산화막(4)으로 보호되어 있지 않으므로 에칭액이 게이트패드부(203)에 도달하면 용이하게 에칭액으로 침식되어 도 25에 나타내는 바와 같이 게이트패드부(2A)에 공동(219)을 발생시키거나 자칫하면 단선을 일으킬 우려가 있다.

또한 도 19 공정 후의 도 21의 공정에서는 화소전극(212) 재료의 ITD막을 염산계의 에칭액으로 에칭하고 있는데 접촉영역(203A) 위에는 게이트절연막(207)밖에 없고 상술한 바와 같이 게이트절연막(207)에 핀홀이 발생하였을 경우 염산계의 에칭액이 게이트패드부(203)의 알루미늄을 침식하는 문제점이 있다. 특히 알루미늄을 함유하는 금속막에서는 250°C 정도의 가열을 실행했을 경우에 낮은 산(fillack)이라고 불려지고 있는 불기가 발생하기 때문에 이 부분을 덮는 게이트절연막은 다른 부분에 비해 막결합이 발생하기 쉽다. 또한 이와 같은 핀홀을 비롯한 막결합 자체의 발생률은 작으나, 미세 또한 집적한 배선 구성의 TFT어레이를 갖는 액정표시장치에서는 제품의 원료에 대한 비율의 악화에 연결되는 것으로 생각된다.

발명이 이루고자 하는 기술적 과제

본 발명은 트랜지스터어레이의 제조 방법에 있어서, 접속단자 부분에 에칭액에 의한 침식이 발생하는 것을 방지하는 것을 목적으로 하고 있다.

이 목적을 달성하기 위하여 본 발명에 있어서 하나의 트랜지스터어레이의 제조 방법은,

기판 위에 게이트전극 및 상기 게이트전극에 접속된 게이트바탕패드를 형성하는 게이트전극 형성공정과,

상기 게이트전극 위 및 상기 게이트바탕패드 위에 절연체를 형성하는 절연체 형성공정과,

상기 게이트전극 위쪽의 상기 절연체 위에 반도체의 성질을 갖는 반도체부를 형성하는 반도체부 형성공정과,

상기 게이트바탕패드 위에 보호마스크를 형성하는 보호마스크 형성공정과,

상기 반도체부 위에 서로 이간된 소스전극 및 드레인전극을 형성하는 소스·드레인전극 형성공정을 갖고 있기 때문에 보호마스크가 게이트바탕패드를 에칭액으로부터 보호할 수 있으므로 양호한 트랜지스터어레이를 제조할 수 있다.

본 발명에 있어서 다른 트랜지스터어레이의 제조 방법은,

기판 위에 게이트전극 및 이 게이트전극에 접속된 게이트단자부를 형성하는 게이트전극 형성공정과,

상기 게이트전극 위 및 상기 게이트단자부 위에 절연체를 형성하는 절연체 형성공정과,

상기 절연체 위에 비절연체를 형성하는 비절연체 형성공정과,

상기 게이트단자부 위쪽의 상기 절연체 위에 보호체를 형성하는 보호체 형성공정과,

상기 비절연체 위에 서로 이간하여 형성되는 소스전극 및 드레인전극을 형성하는 소스·드레인전극 형성공정을 갖고 있기 때문에 보호체가 게이트단자부를 에칭액으로부터 보호할 수 있으므로 양호한 트랜지스터어레이를 제조할 수 있다.

발명의 구성 및 작용

이하 본 발명에 관련되는 TFT어레이 제조 방법의 상세한 것을 도면에 나타내는 실시 형태에 의거하여 설명한다.

도 1~도 10b는 본 발명에 관련되는 TFT어레이의 제조 방법의 실시 형태를 나타내는 공정 단면도이다.

또한 본 실시 형태는 엑스태거형의 TFT를 제조하는 경우에 본 발명을 적용한 것이다.

우선, 본 실시 형태에 있어서는 도 1에 나타내는 바와 같이 유리기판(101)의 표면에 예를 들면 알루미늄과 티탄을 함유하는 게이트금속막을 스퍼터법에 의해 퇴적시킨 후 이 게이트금속막을 패턴화하여 행 방향 및 열 방향으로 정렬하여 매트릭상으로 배치된 복수의 게이트전극형성부(102)와 외부구동회로의 각 단자와 접속하기 위해 유리기판(101) 주면의 일면에 정렬하여 배치된 복수의 게이트패드형성부(103)와, 같은 행의 복수의 게이트전극형성부(102)와, 1개의 게이트패드형성부(103)를 각각 접속하는 각 게이트라인형성부와 행 방향으로 연재(延在)하는 보조용량전극형성부와 양극산화용의 급전선형성부를 형성한다. 양극산화용의 급전선형성부는 전해액에 유리기판(101)을 담그어서 게이트금속막의 표면을 양극산화시키기 위하여 외부전선으로부터의 전압을 공급하는 배선이다. 다음에 게이트패드형성부(103)의 주면부를 제외한 게이트패드형성부(103) 위에 레지스트마스크가 남도록 포토소그래피공정을 실행한다. 즉 게이트패드형성부(103) 원면의 접촉영역(106)위에 레지스트마스크(105)를 형성한다.

다음에 외부전선으로부터의 전압을 공급하여 양극산화를 실행한다. 도 2에 나타내는 바와 같이 게이트전극형성부(102)의 표면을 산화시켜 알루미늄과 티탄을 함유하는 막두께가 100nm~200nm의 게이트전극(107) 및 그것을 덮는 막두께가 120nm~180nm의 양극산화막(108)을 형성하고, 게이트패드형성

부(103)의 표면을 산화시켜 막두께가 100nm~200nm의 게이트바탕패드(109) 및 게이트바탕패드(109) 중 레지스트마스크(105)로 덮여진 접촉영역(106)을 제외한 표면을 덮는 막두께가 120nm~180nm의 양극산화막(110)을 형성하며, 게이트라인형성부의 표면을 산화시켜 막두께가 100nm~200nm의 게이트라인(111)과 그것을 덮는 막두께가 120nm~180nm의 양극산화막을 형성한다. 동시에, 보조용량전극형성부도 막두께가 100nm~200nm의 보조용량전극(113) 및 그것을 덮는 막두께가 120nm~180nm의 양극산화막으로 되고, 또 양극산화막의 급전선형성부도 결과적으로 급전선 및 그것을 덮는 양극산화막(114)으로 된다. 도 2는 레지스트마스크(105)를 박리한 상태를 나타내고 있다.

그 후 도 3에 나타내는 바와 같이 순차적으로 막두께가 200nm~300nm의 질화실리콘으로 이루어지는 게이트절연막(115), 막두께가 25nm~75nm의 비결정실리콘 혹은 다결정실리콘으로 이루어지는 실리콘막(116) 및 막두께가 100nm~170nm의 질화실리콘으로 이루어지는 블로킹층형성용절연막(117)을 플라즈마CVD법을 이용하여 퇴적시킨다. 다음에 동일 도면에 나타내는 바와 같이 포토리소그라피기술을 이용하여 게이트전극(107) 위쪽의 블로킹층형성용절연막(117)위에 레지스트마스크(118)와, 게이트바탕패드(109) 위쪽의 블로킹층형성용절연막(117)위에 레지스트마스크(119)가 남도록 패터닝한다. 또한, 레지스트마스크(118)는 후술하는 실리콘막(116)이 게이트전극(107) 위쪽을 걸쳐서 패터닝되는 진성반도체섬(island)(120)에 대응하는 중앙을 채널 폭 방향으로 가로지르도록 형성된다.

또한 레지스트마스크(119)는 평면적으로 보아 게이트바탕패드(109) 위면의 양극산화막(110)으로 덮여지지 않는 부분인 접촉영역(106)을 완전히 덮고, 또한 양극산화막(110)의 외형 윤곽으로부터 내측으로 수납되도록 형성한다. 그 후 이 레지스트마스크(118, 119)를 마스크로서 바탕의 블로킹층형성용절연막(117)을 습식에칭하여 보호절연층(121) 및 블로킹층(122)을 형성한다. 이 습식에칭에 이용하는 에칭액으로는 완충플루오르화수소산을 이용한다. 이 습식에칭에 있어서는 게이트바탕패드(109)의 접촉영역(106)이 게이트절연막(115), 실리콘막(116)에 덧붙여져, 레지스트마스크(119) 및 레지스트마스크(119)로 덮여진 보호절연층(121)으로 보호되어 있기 때문에 만일 바탕의 실리콘 막(116)에 핀홀 등의 막결함이 발생하더라도 보호절연층(121)이 실리콘막(116)으로의 에칭액의 침입을 방지하여 게이트절연막(115)에 에칭액이 도달하는 일은 없다. 이 때문에 알루미늄함합금으로 이루어지는 게이트바탕패드(109)가 에칭액에 침식되는 일은 없다.

다음에 도 4에 나타내는 바와 같이 레지스트마스크(118, 119) 등을 박리한 후 전면 n+비결정실리콘으로 이루어지는 20nm~30nm의 막두께의 불순물막을 CVD법으로 퇴적시킨다. 그리고 불순물막을 게이트전극(107) 위쪽의 블로킹층(112)위에서 소스측과 드레인측으로 분리하도록 레지스트마스크(124)에서 염소계의 가스로 건식에칭을 실행하여 불순물반도체섬(islands)(123S, 123D)을 형성한 후 연속하여 레지스트마스크(124) 및 블로킹층(122)을 마스크로서 이방성의 건식에칭을 실행하여 실리콘막(116)을 패터닝하여 진성반도체섬(island)(120)을 형성한다. 이 결과 진성반도체섬(island)(120)은 게이트전극(107)의 위쪽에 섬상으로 남는다. 이 건식에칭에 이용하는 에칭가스로서는 불순물반도체섬(islands)(123S, 123D) 및 실리콘막(116)을 구성하는 비결정실리콘에 에칭할 수 있고, 또한 게이트절연막(115)이나 블로킹층(122)을 구성하는 질화실리콘에는 큰 선택비를 갖는 가스계, 예를 들면 사염화탄소(CCl₄)와 산소(O₂)와의 혼합가스를 이용한다. 이 이방성의 건식에칭을 실행하면 게이트바탕패드(109)의 위쪽에 형성된 질화실리콘으로 이루어지는 블로킹층(122)이 마스크로서 작용하고 그 아래에 존재하는 실리콘막(116)도 에칭되지 않고 남는다.

또, 이 공정에서는 동시에 보호절연층(121)을 마스크에 블로킹층형성용절연막(117)을 패터닝하여 보호반도체층(126)을 형성하는데 도 5에 나타내는 바와 같이 레지스트마스크(124)와 일괄하여 형성된 레지스트마스크(125)를 마스크로서 불순물반도체섬(islands)(123S, 123D)의 형성과 동시에 n+비결정실리콘으로 이루어지는 보호불순물반도체층(127)을 형성하여 레지스트마스크(125), 보호불순물반도체층(127) 및 보호절연층(121)을 마스크로서 보호반도체층(126)을 패터닝하여도 좋다.

또한 도 6 이후의 공정은 도 4 공정의 후에 계속되는 설명도인데 도 6 이후 도면의 보호절연층(121)위에 보호불순물반도체층(127)을 형성하여 두고 있으면 도 5 공정 이후를 같은 양상으로 설명할 수 있다.

그리고, 레지스트마스크(124) 혹은 레지스트마스크(124, 125)를 박리한 후 전면에 IT0막을 퇴적시킨 후 도 6에 나타내는 바와 같이 레지스트마스크(128)를 패터닝하고, 이것을 마스크로서 습식에칭을 실행하여 불순물반도체섬(island)(123S)에 부분적으로 걸쳐도록 30nm~100nm의 막두께의 화소전극(129)을 형성한다. 이 IT0막의 습식에칭에는 염산-질산 계의 에칭액을 사용한다. 이 에칭액은 알루미늄함합금의 에칭속도가 매우 높고, 종래에서는 게이트절연막(115)에 막결함이 있으면 에칭액이 게이트바탕패드(109)의 접촉영역(106)을 침식하여 단선에 이르는 등의 문제가 있었다. 그러나 본 실시 형태에 있어서는 게이트바탕패드(109) 위쪽의 게이트절연막(115)위에 보호반도체층(126) 및 보호절연층(121)이 형성되어 있기 때문에 이 부분의 게이트절연막(115)에 에칭액을 차폐하여, 에칭액에 의해 게이트바탕패드(109)가 에칭되는 것을 방지하는 기능이 있다.

다음에 레지스트마스크(128)를 박리한 후의 공정에 대해서 도 7a 및 7b를 이용하여 설명한다. 도 7a는 트랜지스터어레이를 위에서 본 도면이고, 도 7b는 도 7a의 K-K선 단면도이다.

게이트바탕패드(109)의 위쪽에만 개구부(130)를 갖는 레지스트마스크(131)를 패터닝한다. 이 개구부(130)에서의 내벽은 게이트바탕패드(109)의 위쪽에 형성된 보호반도체층(126) 및 보호절연층(121)의 측벽으로부터 외측으로 위치하고, 또한 게이트바탕패드(109)의 윤곽으로부터 내측으로 위치하도록 형성되어 있다. 즉, 게이트바탕패드(109)의 접촉영역(106)의 일변의 폭 W₁보다 보호반도체층(126) 및 보호절연층(121)의 일변의 폭 W₂이 크고, 폭 W₂보다 개구부(130)에 둘러싸인 한 변의 폭 W₃가 크도록 설정되어 있다. 다시 말해, 레지스트마스크(131) 개구부(130)의 내벽은 보호반도체층(126) 및 보호절연층(121)을 소정의 간격을 거쳐 둘러싸고, 또한 양극산화막(110)의 위에 위치하도록 설정되어 있다. 계속해서, 이와 같이 패터닝된 레지스트마스크(131)를 마스크로서 건식에칭을 실행한다. 건식에칭에 이용되는 가스로서는 육플루오르화황(SF₆) 또는 사플루오르화탄소(CF₄) 등의 플루오르게 가스를 이용한다.

이 에칭 결과 도 8에 나타내는 바와 같이 게이트바탕패드(109) 위의 보호절연층(121), 보호반도체층(126) 및 게이트절연막(115)이 제거되어 알루미늄합금인 게이트바탕패드(109)의 접촉영역(106)이 노출한다.

그 후 레지스트마스크(131)를 박리하고, 도 9에 나타내는 바와 같이 전면에 예를 들면 크롬(Cr) 등의 막 두께가 10nm~30nm의 제 1 금속막(139) 및 제 1 금속막의 위에 알루미늄 및 티탄을 갖는 막두께가 330nm~400nm의 제 2 금속막(140)으로 이루어지는 데이터배선막(※복수 처리)(136)을 스퍼터법으로 퇴적시킨다. 데이터배선막(※복수 처리)(136) 중 소스·드레인영역 위 및 게이트바탕패드(109) 위에 각각 레지스트마스크(134) 및 레지스트마스크(135)를 형성하고, 이 레지스트마스크(134, 135)를 마스크로서 에칭을 실행하여, 소스전극(137S), 드레인전극(137D), 각 드레인전극(137D)을 열 방향으로 접속하는 드레인라인(145) 및 게이트패드(138)를 형성한다.

도 10a는 트랜지스터어레이를 위에서 본 도면이고, 도 10b는 도 10a의 L-L선 단면도이다. 도 10b에 나타내는 바와 같이 화소전극(129)영역의 개구부(142) 및 게이트패드(138)영역의 개구부(143) 등의 부분을 노출시키도록 질화실리콘으로 이루어지고, 막두께가 100nm~300nm의 보호막(141)을 형성한다. 그리고, 게이트패드(138) 및 드레인전극(137D)에 접속된 드레인패드를 제거하여 액정분자를 초기배향시키기 위한 배향막(144)을 퇴적시킨다.

또한 접촉영역(106)의 폭 W_{c1} , 개구부(130)의 폭이기도 한 게이트절연막(115) 개구부의 폭 W_{c2} , 개구부(143)의 폭 W_{c3} 및 게이트패드(138)의 폭 W_{c4} 의 길이는,

$$W_{c1} < W_{c2} < W_{c3} < W_{c4}$$

를 만족하도록 설정되어 있다.

이와 같은 공정순으로 TFT의 제조를 실행함으로써 게이트바탕패드(109)가 에칭액에 의해 침식되고, 나가는 단선을 발생시키는 장애가 일어나는 것을 유효하게 억제할 수 있다. 이것에 의해 액정표시장치 등의 TFT를 갖는 전자기기의 제조의 원리에 대한 제품의 비율을 향상시킬 수 있다.

도 11에는 이와 같이하여 형성된 박막트랜지스터어레이를 액정표시장치에 적용하고 있는 예를 나타내고 있다.

유리기판(151)은 유리기판(101)과의 대향면측에 화소전극(129)에 대응하여 적, 녹, 청의 컬러필터(152)가 배치되어, 컬러필터(152) 사이에는 즉 보호막(141)으로 덮여진 박막트랜지스터, 드레인라인(145) 및 게이트라인(111)에 대응하는 영역에는 차광성의 블랙마스크(153)가 배치되어 있다. 컬러필터(152) 및 블랙마스크(153)의 표면 위에는 절연막(154)이 전면에서 형성되어, 이 절연막(154)의 표면 위에는 IT로 이루어지는 공통전극(155)이 형성되어 있다. 공통전극(155) 표면 위에는 배향막(156)이 형성되어, 배향막(156)과 배향막(144)과의 사이에서 표시 영역을 둘러싸도록 배치된 실(seal)재(157)가 박막트랜지스터 어레이기판(101)과 유리기판(151)을 접합하고 있다. 배향막(144, 156) 및 실재(157)로 둘러싸인 공간에는 액정(158)이 배향막(144, 156)에 따라 초기배향되어 있다. 유리기판(101, 151)의 외면 측에는 적색 편광축이 소정의 방향으로 설정된 편광판(159, 160)이 설치되어 있다. 게이트패드(138) 위에는 박막트랜지스터를 어드레스(주소)하는 주사신호를 게이트라인(111)에 출력하기 위한 구동회로(161)의 각 단자(162)와 전기적으로 도통하도록 접합되어 있다. 또 구동회로(161)의 더미단자(163)가 유리기판(101)과 접합되어 있다.

도 12에서는 도 7a 및 도 7b에서의 공정에 있어서 보호절연층(121) 및 보호반도체층(126)의 폭 보다 폭이 넓은 개구부(130)를 갖는 레지스트마스크(131) 대신에 보호절연층(121) 및 보호반도체층(126)의 폭보다 폭이 좁은 개구부(132)를 갖고, 보호절연층(121) 및 보호반도체층(126)에 부분적으로 겹치게 되는 레지스트마스크(133)를 이용한 경우의 비교 예를 나타낸다. 보호절연층(121) 및 보호반도체층(126)보다 작은 면적의 개구부(132)를 갖는 레지스트마스크(133)를 형성하면 에칭속도가 변하고, 도 13에 나타내는 바와 같이 보호절연층(121)의 역 테이퍼상의 잔사(121A), 보호반도체층(126)의 잔사(126A)의 아래쪽에 제거할 수 없는 잔사(115A)가 생기고 만다.

이 잔사(121A, 126A)에 의해 게이트패드(138')와 게이트패드(138')가 분리되는 동시에 잔사(115A)에 의해 게이트 바탕 패드(109)와 게이트패드(138')와의 접합 면적이 작고, 전기적 전도성이 낮아 박막트랜지스터로서의 충분한 기능이 없어진다.

도 14~16은 본 발명에 관련되는 TFT어레이의 제조 방법의 다른 실시 형태를 나타내는 공정 단면도이다. 이 실시 형태에 있어서 상기한 실시 형태와 동일 부분에는 동일 부호를 붙여 설명을 생략한다. 또한 본 실시 형태에 있어서 상기한 실시 형태와 동일한 공정에 대해서는 설명을 생략한다.

본 실시 형태에 있어서는 도 14에 나타내는 바와 같이 실리콘막(116)을 퇴적시킨 후에 블로킹층(122)을 게이트전극(107)의 위측에만 형성하고, 게이트바탕패드(109) 위측에는 형성하지 않는다. 다음에 블로킹층(122) 및 실리콘막(116)의 위에 불순물반도체층을 퇴적시켜 레지스트마스크(171, 172)에 의해 블로킹층(122)위에서 불순물반도체층(islands)(123S, 123D)으로 분리시키는 동시에 보호반도체층(126) 위에 보호불순물반도체층(173)을 형성한다. 연속하여 실리콘막(116)을 에칭하여 진성반도체층(island)(120) 및 보호반도체층(126)을 형성한다. 이 때 게이트바탕패드(109) 위측의 레지스트마스크(172)는 접촉영역(106)을 완전히 덮도록 설정되어 있으므로 보호반도체층(126) 및 보호반도체층(173)은 함께 접촉영역(106) 위를 완전히 덮도록 하고 있다.

다음에 도 15에 나타내는 바와 같이 레지스트마스크(171, 172)를 박리한 후 전면에서 IT막을 퇴적시켜 레지스트마스크(174)를 새롭게 패터닝하여 IT막의 습식에칭을 실행하여 화소전극(175)을 형성한다. 이 습식에칭의 에칭액은 상기 실시 형태에서 이용한 것과 마찬가지로 염산-질산계의 것을 이용한다. 이 습식에칭에 대해서는 게이트바탕패드(109)의 위측에서는 보호반도체층(173) 및 보호반도체층(126)은 게이트절연막(115)을 보호하는 기능을 갖고 있기 때문에 이 에칭액에 의해 게이트바탕패드(109)가 침식되는

일은 없다.

그 후 도 16에 나타내는 바와 같이 새롭게 레지스트마스크(176)를 패터닝한다. 이 레지스트마스크(176)의 형상은 상기 실시 형태와 마찬가지로, 보호반도체층(173) 및 보호반도체층(126)의 측벽을 간격을 거쳐 물려싸도록 개구부(177)가 형성되어 있다. 이 레지스트마스크(176)를 마스크로서 불순물반도체섬(islands)(123S, 1230), 실리콘막(116) 및 게이트절연막(115)을 건식예칭함으로써 상기 실시 형태에 있어서 도 8과 같은 양상의 구조를 형성할 수 있다. 또한, 후의 공정은 상기 실시 형태와 마찬가지로, 본 실시 형태에 있어서도 화소전극(175)을 형성할 때 게이트바탕패드(109)가 예칭액에 의해 침식되는 것을 방지할 수 있다.

발명의 효과

이상 박막트랜지스터어레이의 제조 방법에 대해서 설명하였는데 본 발명은 이것에 한정되는 것이 아니고 구성의 요지에 부수하는 각 종의 변경, 예를 들면 재료변경, TFT구조의 변경, 또, 적용전자기기의 변경 등이 가능하다. 또, 상기한 실시 형태에서는 외부단자로서 게이트바탕패드(109)에 대해서 설명하였는데 정전기보호소자의 접속단자 부분에 있어서도 본 발명을 적용할 수 있다. 또, 게이트금속을 양극산화하지 않고 게이트전극 위 및 게이트바탕패드위에 직접 게이트절연막을 형성하여도 좋다. 그리고, 화소전극은 불순물반도체섬(island)과 소스전극과의 사이에 형성되었는데 불순물반도체섬(island) 위에 소스전극을 형성하여 소스전극 위에 화소전극을 형성하여도 좋다.

(57) 청구의 범위

청구항 1. 기판 위에 게이트전극 및 상기 게이트전극에 접속된 게이트바탕패드를 형성하는 게이트전극 형성공정과,

상기 게이트전극 위 및 상기 게이트바탕패드 위에 절연체를 형성하는 절연체 형성공정과,

상기 게이트전극 위쪽의 상기 절연체 위에 반도체의 성질을 갖는 반도체부를 형성하는 반도체부 형성공정과,

상기 게이트바탕패드 위쪽의 상기 절연체 위에 보호마스크를 형성하는 보호마스크 형성공정과,

상기 반도체부 위에 서로 이간된 소스전극 및 드레인전극을 형성하는 소스·드레인전극 형성공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 2. 제 1항에 있어서,

상기 보호마스크 위 및 상기 절연체 위에 도전층을 형성 후, 상기 도전층을 패터닝하여 상기 절연체 위에 화소전극을 형성하는 화소전극 형성공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 3. 제 2항에 있어서,

상기 화소전극 형성공정은 상기 도전층을 습식예칭하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 4. 제 2항에 있어서,

상기 습식예칭은 염소계의 예칭액을 이용하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 5. 제 2항에 있어서,

상기 도전층은 indium tin oxide를 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 6. 제 1항에 있어서,

상기 절연체는 질화실리콘을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 7. 제 1항에 있어서,

상기 게이트바탕패드는 알루미늄을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 8. 제 1항에 있어서,

상기 반도체부는 비결정실리콘을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 9. 제 1항에 있어서,

상기 반도체부는 n+비결정실리콘을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 10. 제 1항에 있어서,

상기 보호마스크는 진성(intrinsic) 비결정실리콘층 및 절연층을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 11. 제 1항에 있어서,

상기 보호마스크는 진성(intrinsic) 비결정실리콘층, 절연층 및 n+비결정실리콘층을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 12. 제 1항에 있어서,

상기 보호마스크는 진성(intrinsic) 비결정실리콘층 및 n+비결정실리콘층을 갖는 것을 특징으로 하는

트랜지스터어레이의 제조 방법.

청구항 13. 제 1항에 있어서,

상기 반도체부는 진성(intrinsic) 비결정실리콘섬(island) 및 복수의 n +비결정실리콘섬(islands)층을 갖고, 상기 반도체부 형성공정은 상기 절연체 위에 상기 진성(intrinsic) 비결정실리콘섬(island) 및 상기 진성(intrinsic) 비결정실리콘섬(island)위에 서로 이간하는 상기 복수의 n +비결정실리콘섬(island)을 형성하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 14. 제 1항에 있어서,

상기 반도체부 형성공정 및 상기 보호마스크 공정은,

(a) 상기 게이트전극 위 및 상기 게이트바탕패드 위에 연속하는 진성(intrinsic)비결정실리콘막 및 연속하는 절연막을 순차적으로 성막하고,

(b) 상기 게이트전극 위쪽에 대응하는 상기 연속하는 절연막을 패터닝하여 불로킹층을 형성하며,

(c) 상기 게이트바탕패드 위쪽에 대응하는 상기 연속하는 절연막을 패터닝하여 상기 보호마스크를 구성하는 보호절연층을 형성하고,

(d) 상기 게이트전극 위쪽에 대응하는 상기 연속하는 진성(intrinsic)비결정실리콘막 위에 상기 반도체부를 구성하는 n +비결정실리콘섬(island)을 형성하며,

(e) 상기 게이트전극 위쪽에 대응하는 상기 연속하는 진성(intrinsic)비결정실리콘막을 패터닝하여 상기 반도체부를 구성하는 진성(intrinsic) 비결정실리콘섬(island)을 형성하고,

(f) 상기 게이트바탕패드 위쪽에 대응하는 상기 연속하는 진성(intrinsic) 비결정실리콘막을 패터닝하여 상기 보호마스크를 구성하는 보호반도체층을 형성하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 15. 제 1항에 있어서,

상기 절연체는 상기 게이트전극 위 및 상기 게이트바탕패드의 접촉영역을 제외한 표면 위에 설치된 양극산화절연막과 상기 양극산화절연막 위에 설치된 게이트절연막을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 16. 제 1항에 있어서,

상기 보호마스크는 상기 절연체를 거쳐 상기 게이트바탕패드의 접촉영역을 덮도록 형성되어 있는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 17. 제 1항에 있어서,

상기 보호마스크 및 상기 절연체 위에 도전층을 형성 후, 상기 도전층을 패터닝하여 상기 절연체 위에 화소전극을 형성하는 화소전극 형성공정과,

상기 화소전극 형성공정 후에 상기 보호마스크의 측벽이 노출하는 개구부를 갖는 에칭용 마스크에 의해 상기 보호마스크를 제거하는 동시에 상기 게이트바탕패드의 접촉영역을 노출시키는 접촉영역 노출공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 18. 제 1항에 있어서,

상기 소스-드레인전극 형성공정은 상기 게이트바탕패드의 접촉영역 위에 게이트패드를 형성하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 19. 기판 위에 게이트전극 및 이 게이트전극에 접속된 게이트단자부를 형성하는 게이트전극 형성공정과,

상기 게이트전극 위 및 상기 게이트단자부 위에 절연체를 형성하는 절연체 형성공정과,

상기 절연체 위에 비절연체를 형성하는 비절연체 형성공정과,

상기 게이트단자부 위쪽의 상기 절연체 위에 보호체를 형성하는 보호체 형성공정과,

상기 비절연체 위에 서로 이간하여 형성되는 소스전극 및 드레인전극을 형성하는 소스-드레인전극 형성공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 20. 제 19항에 있어서,

상기 비절연체 형성공정 이후에 있어, 상기 비절연체 혹은 상기 소스전극의 어느 것에 접속하는 화소전극을 형성하는 상기 화소전극 형성공정을 포함하는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 21. 제 19항에 있어서,

상기 보호체는 비절연체와 n +반도체 섬을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

청구항 22. 제 19항에 있어서,

상기 보호체는 절연성의 섬과 상기 절연성의 섬 아래에 있는 비절연체를 갖는 섬을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방법.

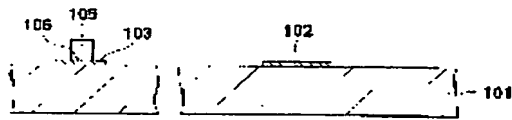
청구항 23. 제 19항에 있어서,

상기 비절연체는 진성반도체섬과 n +반도체섬을 갖는 것을 특징으로 하는 트랜지스터어레이의 제조 방

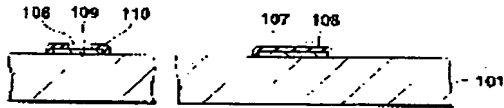
단.

도면

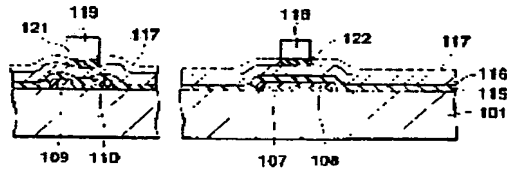
도면1



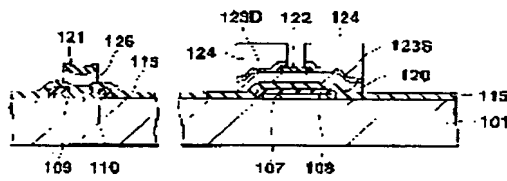
도면2



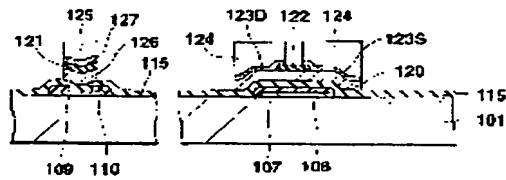
도면3



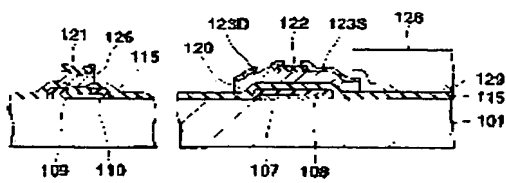
도면4



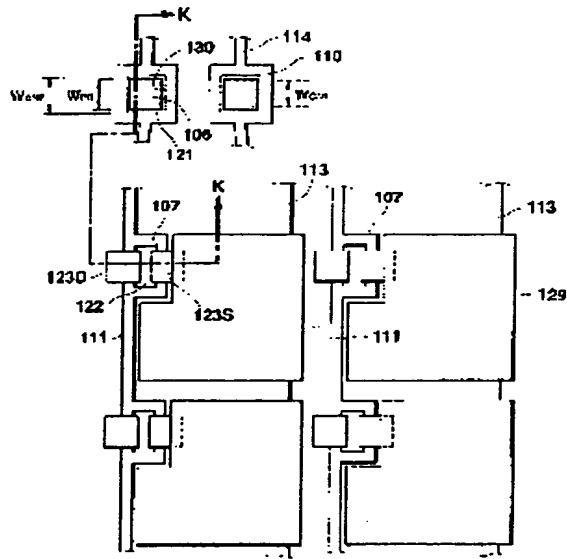
도면5



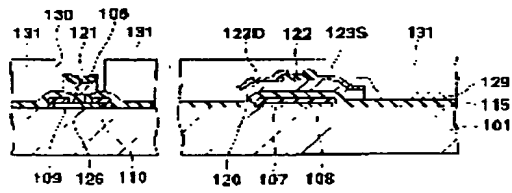
도면6



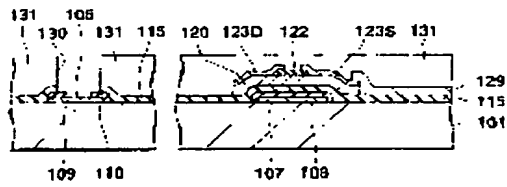
도 7a



도 7b



도 8



도 9

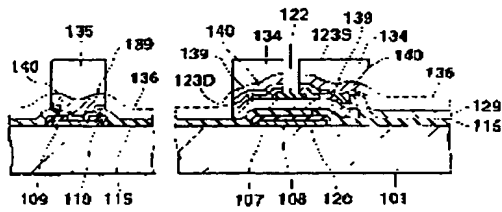


図 10a

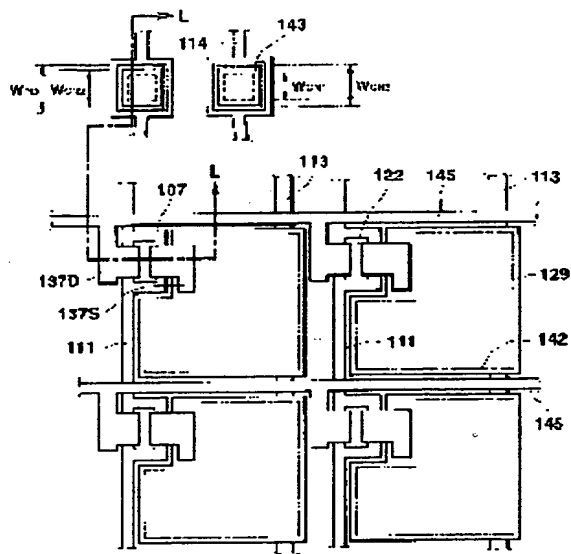


図 10b

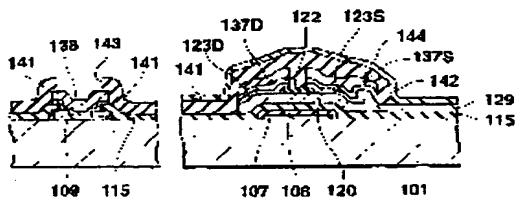


図 11

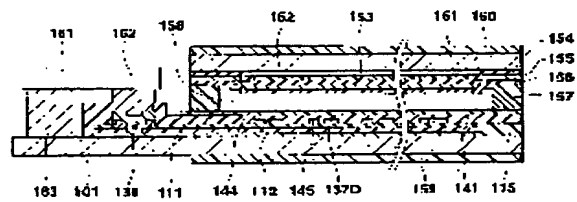
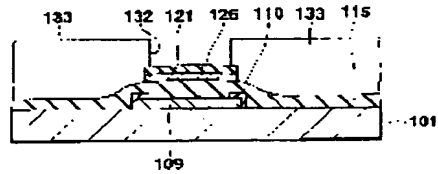
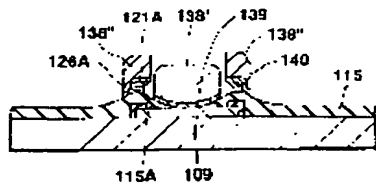


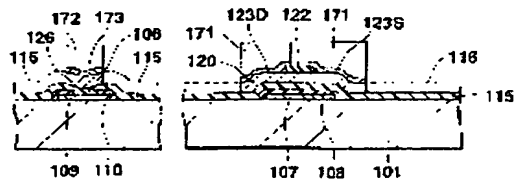
図 12



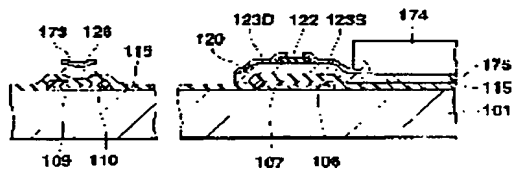
도면13



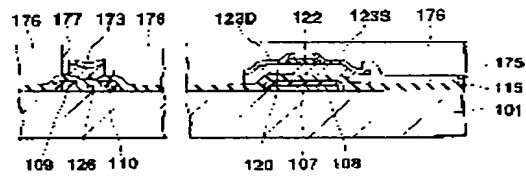
도면14



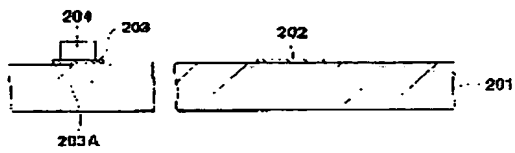
도면15



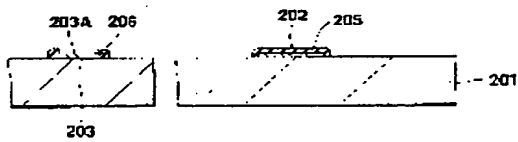
도면16



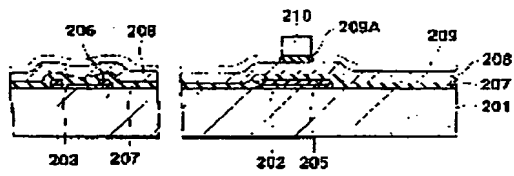
도면17



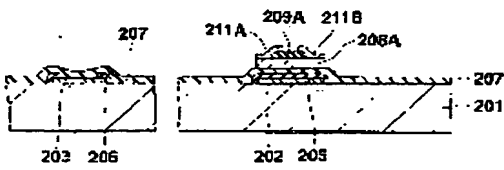
도면18



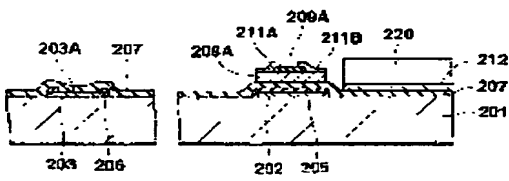
도면 19



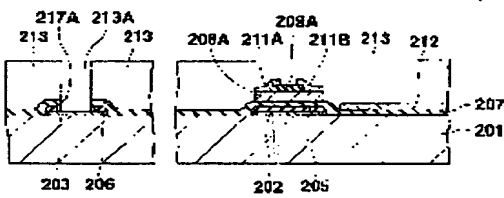
도면 20



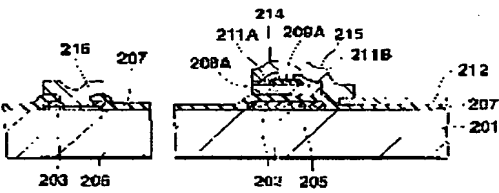
도면 21



도면 22



도면 23



도면 24

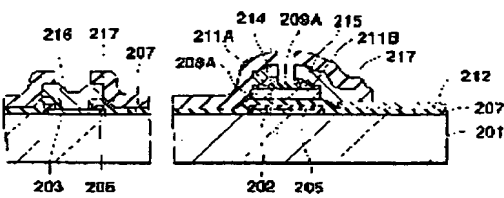


図 25

